



**KARADENİZ TEKNİK ÜNİVERSİTESİ
BİLGİSAYAR MÜHENDİSLİĞİ BÖLÜMÜ
SAYISAL ELEKTRONİK LABORATUARI**



LOJİK KAPILAR

1. Giriş

Sayısal bilgileri işleyecek şekilde tasarlanmış tümleşik devrelere (IC) lojik entegreler denir. İkili sistemdeki bilgileri işleyen bu tip entegreler, bilgisayar dünyasında lojik kapılar olarak adlandırılırlar. Lojik kapıların işlev yönünden 7 popüler çeşidi vardır: NOT, AND, NAND, OR, NOR, EX_OR ve EX-NOR.

Lojik entegreleri mantık gruplarına göre sınıflandırmak mümkündür: 1) RDL (direnc-diyot-lojik), 2) RTL (direnc-transistor-lojik), 3) DTL (diyot-transistor-lojik), 4) IIL (entegre-enjeksiyonlu-lojik), 5) TTL (transistor-transistor-lojik), 6) ECL (emetör kuplajlı lojik), 7) HTL (yüksek eşikli lojik), 8) MOS (metal-oksit yarı iletken) ve 9) CMOS (tümlemeli metal-oksit yarı iletken).

RTL, DTL, TTL, ECL, HTL ve IIL entegreleri, iki kutuplu eklem (bipolar junction) transistorlardan (BJT) oluşur. BJT, bilinen NPN ve PNP transistorlardır. MOS ve CMOS entegreleri, metal oksit yarı iletken, alan etkili transistörler diye bilinen, MOSFET transistorlardan oluşan entegrelerdir.

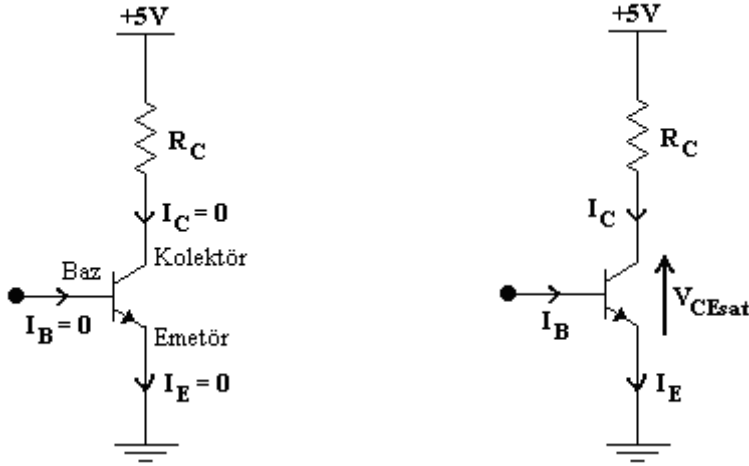
CMOS ailesi, kullandıkları transistorlardaki farklılıklardan dolayı TTL'e göre daha az güç harcar ve boyutları daha küçüktür. Ayrıca besleme kaynağı gerilimindeki değişimlere de daha az duyarlıdır.

Hız ve güç bu iki ailenin birbirinden ayırt edilmesine yarayan iki önemli parametredir. CMOS devrelerden ve MOS transistorlardan oluştuğundan eklem kapasitelerinin büyüklüğü hızlı çalışmalarını engeller. Ancak harcadıkları güç çok düşüktür. Günümüzde hızları oldukça yüksek seviyelere çıkarılan CMOS devreler, az güç harcadıklarından dolayı MSI (Medium Scale Integration) ve özellikle LSI (Large Scale Integration) yongalarda (chip) geniş ölçüde kullanılmaktadır.

Bu deneyde sayısal entegre devreleri ile lojik kapıların iç yapıları incelenmiştir.

2. Lojik Kapıların İki Kutuplu Transistor İle Gerçeklenmesi

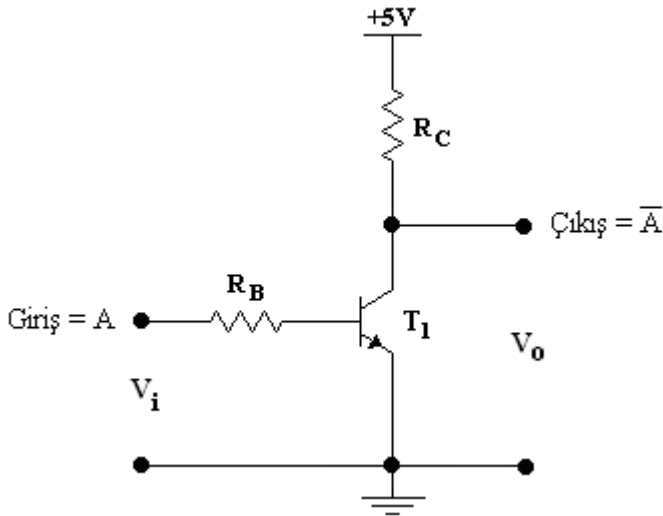
Lojik kapıların tasarımında transistorlar genellikle tam iletim (doyma) ya da tam kesim (kesim) durumlarında çalıştırılır. Bu işleviyle bir transistor, Şekil 1'de görüldüğü gibi bir anahtar ile aynı davranışı gösterir.



Şekil 1. İki kutuplu transistörün anahtar elemanı olarak davranışı

Baz akımı $I_B = 0 \text{ A}$ olduğu müddetçe, sızıntı akımları da ihmal edilirse, kolektör ve emetör akımları da $I_C = I_E = 0 \text{ A}$ olacaktır. Bu durumda transistorun kesimde olduğu ve emetör ile kolektör arası bağlantının açık olduğu bir anahtar gibi davranır. Kesim durumu genellikle baz ile emetör arasına $V_{BE} = 0 \text{ V}$ 'un uygulanması ile sağlanır, ancak 0.6 V 'un altında bir gerilim uygulanması da yeterlidir. Baz-emetör gerilimi 0.6 V 'u aştığında ise baz akımı ile orantılı olarak kolektör akımı da artacaktır. Bu artış kutuplama direnci (R_C) üzerindeki gerilimi de artırır ve transistorun kolektör-emetör gerilimi (V_{CE}) düşmeye başlar. Baz akımı artmaya devam ettiği sürece kolektör ve baz akımı arasındaki orantısal ilişki korunamayacak ve kolektör gerilimi ve akımı yaklaşık olarak sabit kalacaktır. Bu durumda transistor doyuma ulaşır ve kapalı anahtar gibi davranır.

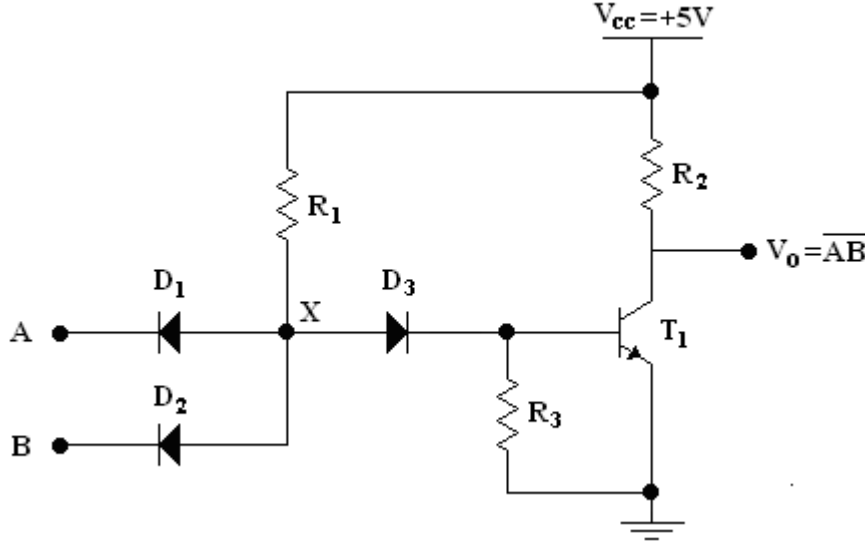
Şekil 2'de NOT kapısını gerçekleyen transistor devresi verilmiştir. Eğer giriş gerilimi $V_i = 0 \text{ V}$ ise baz ve kolektör akımı oluşmayacak ve kolektör gerilimi $V_o = 5 \text{ V}$ olacaktır. Giriş gerilimi, 0.7 V 'tan yeterince büyük olduğu sürece transistor doyuma ulaşacak ve çıkış gerilimi 0.2 V 'a düşecektir. Bu yüzden devre, çıkışın lojik-0 seviyesi 0.2 V ve lojik-1 seviyesi ise 5 V olan bir NOT kapısı gibi davranacaktır.



Şekil 2. NOT kapısı

3. DTL Kapılar

Diyot ve transistorlu bir mantık devresidir (Şekil 3).



Şekil 3. DTL NAND kapısı

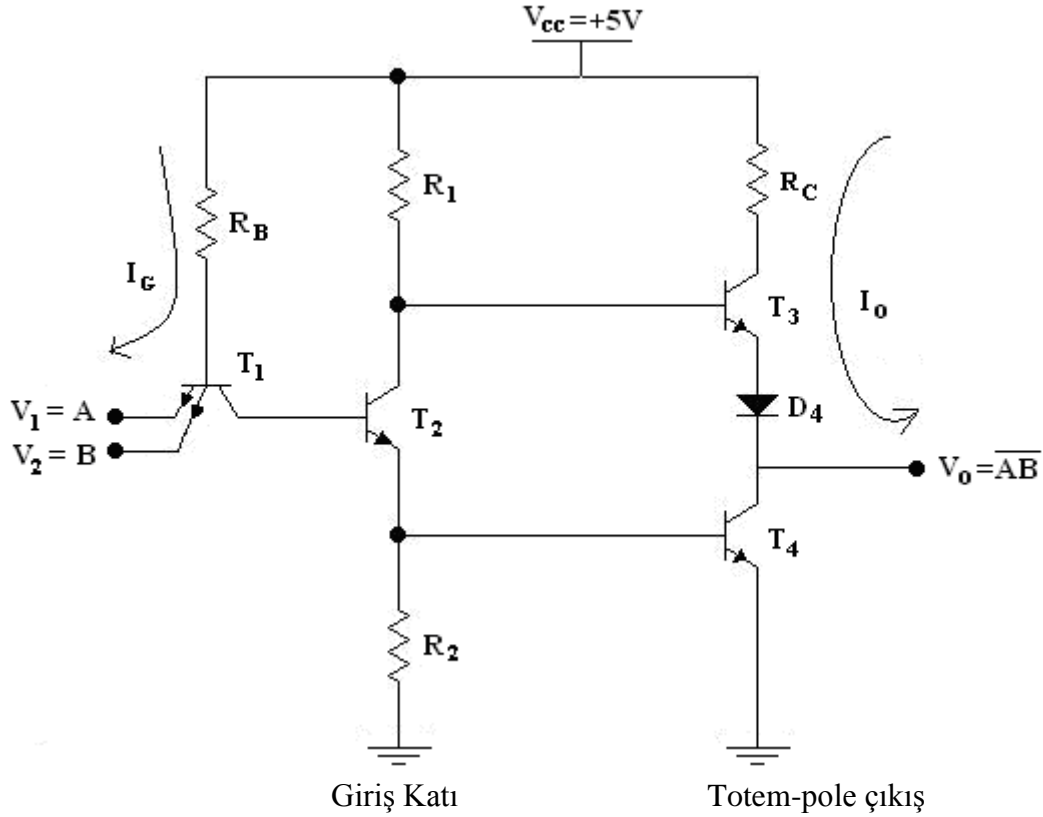
Girişlerinden biri veya her ikisi lojik-0 olduğunda D_1 ve D_2 iletken olup, X noktasında 0 V oluşur. Bu anda D_3 yalıtkan, T_1 kesimde ve çıkış lojik-1 olur. $A = B = 1$ olduğunda D_1 ve D_2 yalıtkan, (X noktasında + voltajdan dolayı) D_3 ve T_1 iletken olurken devre çıkışı lojik-0 değerini alır. Bu davranışıyla Şekil 3'deki devre bir NAND kapısını temsil eder.

4. TTL Kapılar

TTL entegreler DTL tipi entegrelerin gelişmiş biçimleridir. DTL entegrelerdeki giriş diyotlarının yerini çok emetörlü bir giriş transistörü almıştır. Bundan dolayı TTL entegreler çok hızlı çalışırlar ve hızlarının yüksek olması nedeniyle kullanımları çok yaygındır.

Transistor-transistor lojiğe dayanılarak yapılan bu kapılar çıkış katlarının yapısından dolayı iki sınıfa ayrılabilirler; totem-pole çıkışlılar ve açık-kolektörlüler. Kullanıcı açısından TTL elemanların giriş ve çıkış katlarının yapısının bilinmesi yeterlidir. Çoğu kez bu katların yapısından ziyade, bu katlara ilişkin ALÇAK ve YÜKSEK seviyelerdeki akım değerleri verilir.

Totem-pole çıkışlı devrelerde; lojik kapı devresi çıkışında seri iki transistör bulunur. Lojik çıkış seviyesinin durumuna göre transistörlerden biri iletimdedir. 2 girişli bir TTL kapının giriş ve totem-pole çıkış katlarının yapısı Şekil 4'de gösterilmiştir.



Şekil 4. TTL NAND kapısı

Bu TTL kapının çözümlemesi, T_1 transistörünün yerine Şekil 3'deki diyot üçlüsü kullanılarak basitleştirilebilir; D_1 ve D_2 diyotları T_1 'in iki baz-emetör eklemeni, D_3 diyotu ise baz-kolektör eklemeni temsil eder. T_1 'in emetör girişlerinin her ikisine de lojik-1 uygulanırsa, T_1 ters kutuplanır (D_1 ve D_2 tıkanır, D_3 iletme geçer) ve R_B üzerinden T_2 'nin bazına doğru akan akım T_2 'yi doyuma ulaştırır. T_2 iletme geçtiğinde R_1 üzerinden akan akım T_3 'ün bazı ile T_2 'nin kolektörüne dağılarak T_3 'ü kesime sürer. T_2 'nin emetör akımı ise T_4 'ün doyuma gitmesine yol açar ve çıkış voltajını lojik-0'a düşürür. Ayrıca T_3 kesimde olduğundan V_{CC} 'den çıkışa akım akmayacak ve çıkışı lojik-0'da tutacaktır.

T_1 'in girişlerinden en az birinin lojik-0 olmasıyla T_1 ileri yönde kutuplanır. Bu durum T_2 'nin bazının boşalmasına ve dolayısıyla T_2 'nin kesime gitmesine sebep olur. T_2 kesimde iken R_1 üzerinden T_3 'ün bazına akım akar ve T_3 iletme geçer. T_4 bazına akım gelmediğinden kesime girer. T_3 iletimde ve T_4 kesimde olduğu için çıkış lojik-1 üretir. T_2 transistörü T_3 ve T_4 'ün baz potansiyellerini farklı zamanlarda alçağa çekerek zıt bölgelerde çalışmalarını sağlar.

Giriş katının yapısından görülüyor ki, V_1 ve V_2 giriş gerilimlerinin ALÇAK seviyelerine bağlı olarak transistörün emetöründen, süren kaynağa doğru akan akım değişik değerler alabilecektir. Bu akım,

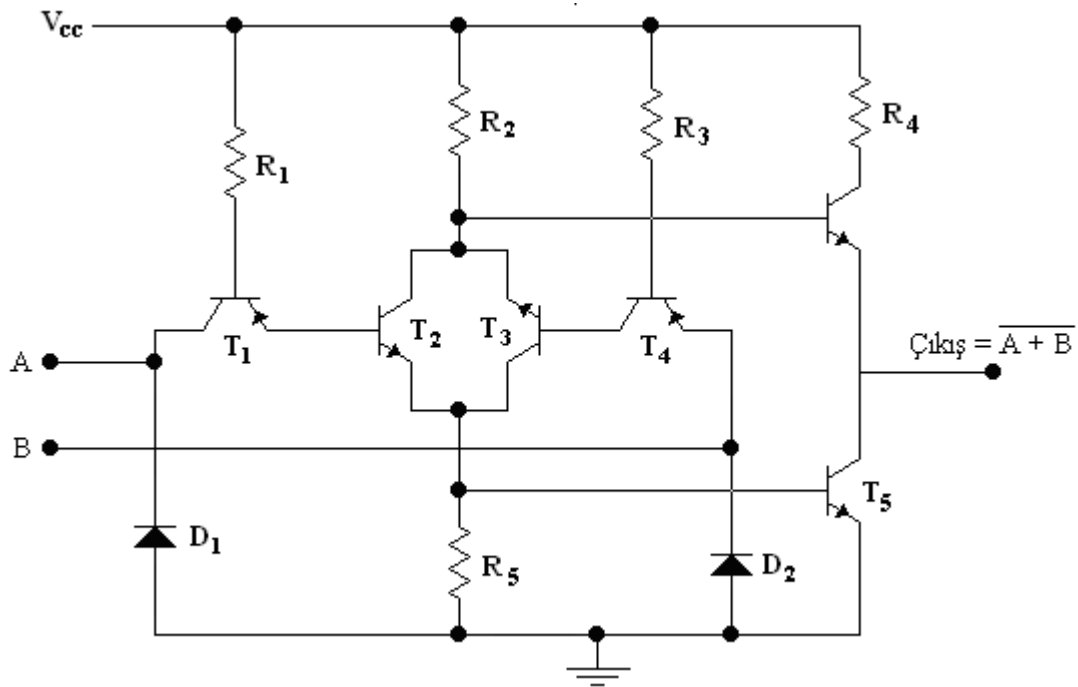
$$I_{GL} = \frac{V_{CC} - V_{BE1} - V_{GL}}{R_B}$$

bağıntısıyla hesaplanır. Burada V_{BE1} , T_1 'in baz-emetör gerilimini ve V_{GL} , giriş geriliminin alçak değerini gösterir. Benzer şekilde devrenin çıkışı bir yüke bağlandığında, çıkış YÜKSEK iken T_4 transistörü üzerinden akan akım

$$I_{OH} = \frac{V_{CC} - V_{CE3} - V_{D4} - V_{OH}}{R_C}$$

bağıntısıyla bulunabilir (V_{OH} , çıkış geriliminin yüksek değerini gösterir). Şekil 4'deki devre için tipik değerler: $I_{GL} = 1.1 \text{ mA}$, $V_{OL} \leq 0.4 \text{ V}$, $I_{GH} = 10 \text{ mA}$ ve $V_{OH} \geq 2.4 \text{ V}$.

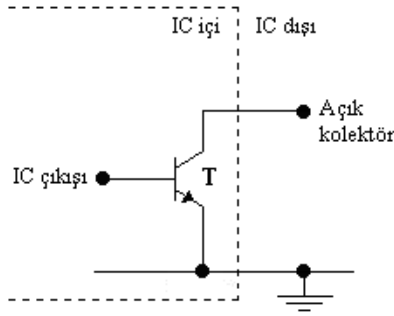
Diğer bir TTL kapı Şekil 5'te gösterilmiştir.



Şekil 5. Totem-pole çıkışlı NOR kapısı

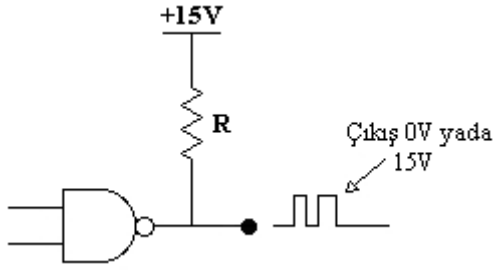
5. Açık Kolektörlü (Open Collector) Devreler

Bazı tümeleşik devrelerin (IC) çıkışında kolektörü açık bırakılmış bir transistör bulunur (Şekil 6). Bu transistörün bazına IC'nin iç çıkışı uygulanmış olup kolektörü ise IC'nin dışına çıkarılmıştır. Kullanıcı amacına bağlı olarak açık kolektör çıkışı bir R direnci (pull-up direnci) üzerinden bir gerilim kaynağına bağlanır.

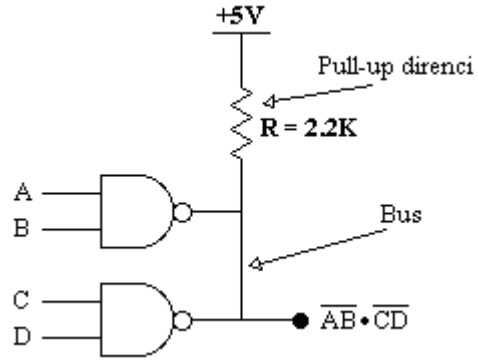


Şekil 6. Bir IC'nin açık kolektör şeması

Pull-up direnci lojik entegre (IC) ile aynı kaynağa bağlanmak zorunda değildir; daha düşük yada daha yüksek voltajlı bir kaynağa bağlanabilir (genellikle 5 V, 15 V yada 30 V). Bu nedenle, açık kolektörlü devreler ara sıra farklı işletim lojji voltaj seviyelerine sahip devreler için uygun voltajı üretmek yada daha yüksek voltaj seviyesi gerektiren harici devreleri kontrol etmek için kullanılır (Şekil 7).



Şekil 7. 5V lojğinden daha yüksek bir voltaja geçiş



Şekil 8. NAND kapılarının aynı bus hattına bağlanması

Birkaç açık kolektör çıkışı tek bir bus hattına bağlanabilir. Hatta bağlanan bütün çıkışlar YÜKSEK potansiyelde (lojik-1) ise pull-up direnci hat çıkışını lojik-1 seviyesinde tutacaktır. Kolektör çıkışlarından en az biri ALÇAK potansiyelde (lojik-0) ise hat çıkışı lojik-0 olacaktır. Şekil 8'de iki NAND kapısının aynı bus hattını nasıl kullanacağı gösterilmiştir. Bu devre, NAND kapı çıkışları bir AND kapısına bağlanmış gibi çalışır.

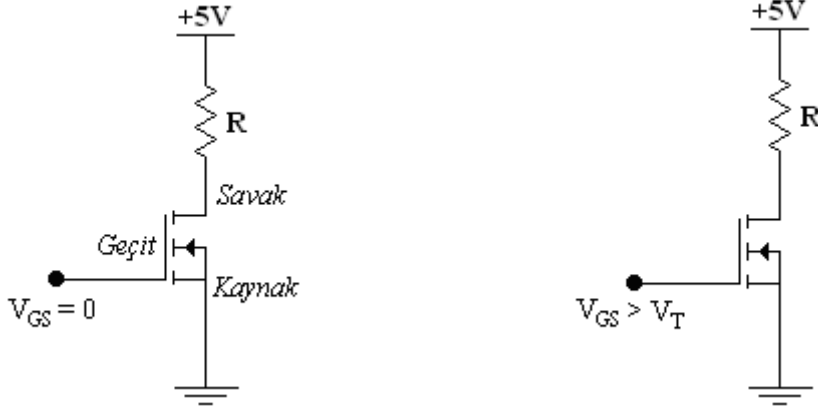
6. MOS Kapılar

Alan etkili transistor (FET) tekniğinin geliştirilmesi ile MOS türü entegrelerin imalatına başlanmıştır. Bu entegrelerdeki transistörler MOSFET olarak isimlendirilirler. Yavaş olmaları, çabuk bozulmaları ve sürücü güçlerinin az olması nedeniyle bazı uygulamalar için tercih edilmemekle birlikte yapım kolaylığı, boyutlarının küçük olması ve az güç harcamaları nedeniyle pek çok uygulamada kullanılır.

MOS transistorlar n-kanallı ve p-kanallı olmak üzere iki türlü yapılmaktadır. Bu iki tür transistor, kanal oluşturmali ve ayarlamali modlarda çalıştırılabilir. Bir MOS transistorunun üç adet bağlantısı vardır; kaynak (source), geçit (gate) ve savak (drain) vardır.

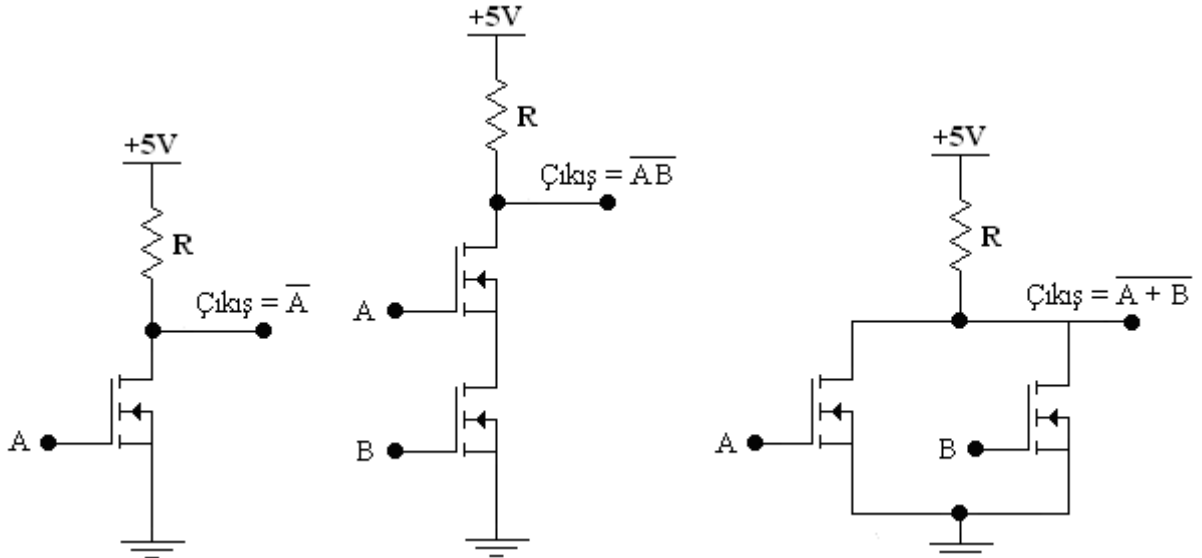
Kanal oluşturmali modda çalışan bir n-kanal MOSFET'i inceleyelim. Bu transistor genel olarak savak bağlantısına, kaynak bağlantısına göre daha pozitif bir gerilimin uygulanması ile çalıştırılır. Geçit-kaynak gerilimi $V_{GS} = 0$ V ise kaynak ile savak arasında çok büyük bir direnç ($10^{10} \Omega$ civarında) meydana gelir ve MOSFET'in kesimde olduğu kabul edilir. V_{GS} gerilimi

artarak V_T eşik değerine (yaklaşık 1V) ulaştığında kaynak-savak arası daha küçük direnç gösterir ve MOSFET iletme geçer. Bu iki konumuyla MOSFET, bir lojik eleman gibi davranır.



Şekil 9. Kanal oluşturmali n-kanal MOSFET'in bir anahtar elemanı olarak davranışı

Kanal ayarlamalı çalışan bir n-kanal MOSFET'te V_T gerilimi negatiftir. V_{GS} gerilimi 0 V olduğunda, kaynak ile savak arasında iletim başlar. Geçit-kaynak gerilimi, negatif eşik geriliminden küçük olduğu zaman ise iletim durur. Böylece yine iki durumlu bir eleman ortaya çıkar. Şekil 10'da kanal oluşturmali modda çalışan nMOSFET'ler ile tasarlanan NOT, NAND ve NOR kapıları gösterilmiştir.



a) MOS NOT kapısı

b) MOS NAND kapısı

c) MOS NOR kapısı

Şekil 10. n-kanal MOSFET ile gerçekleştirilen lojik kapılar

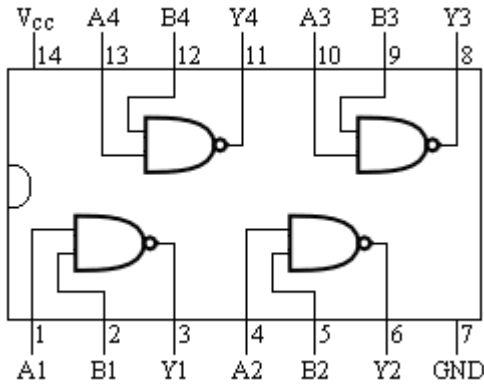
7. CMOS (Tümlemeli Metal-Oksit Yarıiletken) Kapılar

Uzay ve deniz uygulamalarında kullanılmak üzere tasarlanmış çeşitli MOSFET devreleri geliştirilmiştir. Bu devreler tümleyen MOS (CMOS) olarak adlandırılırlar. TTL'lerin daha geliştirilmiş biçimleri olan CMOS entegreler FET MOSFET mantığına göre

oluşturulmuşlardır. Bu devreler çok az güç harcar ve gürültüden çok fazla etkilenmezler. Yüksek hızlı mantık devreleri ile karşılaştırıldığında CMOS devrelerin daha yavaş olduğu görülür. Ancak çok sayıda transistordan oluşan devreler bir tek yonga üzerine yerleştirilebilirler ve kullanılacak güç kaynağı geniş bir aralıkta seçilebilir. Böyle tümleşik devrelerin fabrikasyonu diğerlerine göre daha ekonomik olabilmektedir. En son geliştirilen CMOS devreleri daha önceki kuşaklara göre daha hızlıdır ve yaygın olarak elektronik kol saatlerinden hesap makinalarına ve mikroişlemciler kadar her yerde kullanılır. Yayılım gecikmeleri oldukça fazladır ve maksimum gerilim beslemesinde 5MHz civarındadır; yani yüksek frekanslarda çalışması uygun değildir.

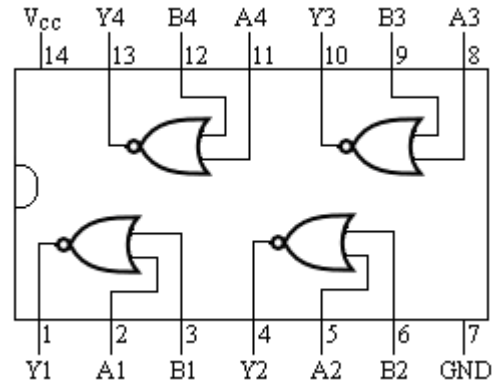
İki girişli NAND

(54LS00/DM54LS00/DM74LS00)



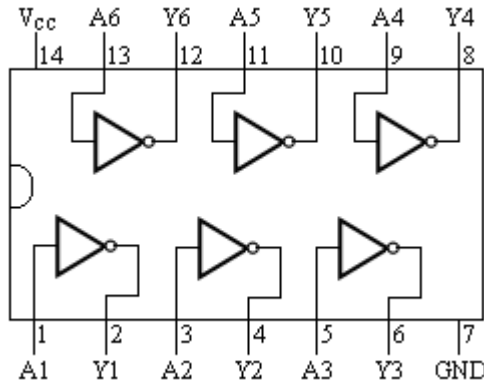
İki girişli NOR

(54LS02/DM74LS02/DM74LS02)

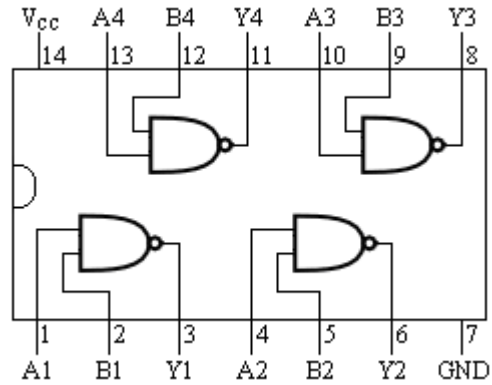


NOT kapılı entegre

(54LS04/DM54LS04/DM74LS04)



Açık kolektör çıkışa sahip iki girişli NAND (DM5403/DM7403)



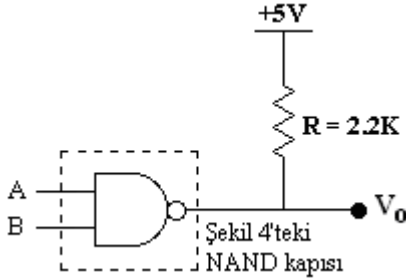
Şekil 11. Lojik kapı entegreleri

8. Deney Hazırlığı

6. Lojik kapıları gerçekleştirme teknolojilerini araştırınız.
7. Her bir lojik kapı için basit bir elektrik devresi gerçekleştirilmesi araştırınız.
8. Şekil 4'teki NAND kapısında yer alan dirençler için örnek değerler belirleyiniz.
9. Açık kolektörlü devrelerin uygulama alanlarını araştırınız.
10. Pull-up direnci ile pull-down direncinin farkını ve kullanılma nedenlerini öğreniniz.

9. Deney Tasarımı ve Uygulaması

15. Şekil 3'teki devrenin çalışmasını, girişine bir kare dalga işareti uygulandığını varsayarak inceleyiniz.
16. A ve B girişlerinden en az biri lojik-0 ise X noktasındaki potansiyeli ve D_3 'ün iletim durumunu belirleyiniz.
17. A ve B girişlerinin her ikisi de lojik-1 ise R_1 üzerindeki potansiyel farkını hesaplayınız.
18. Şekil 4'teki devrenin çalışmasını inceleyerek, girişlerin lojik-0 ve lojik-1 değerlerine göre transistorların durumlarını belirleyiniz.
19. Devrenin iki girişi de lojik-1 ise T_2 ve T_3 'ün bazındaki potansiyel farkını hesaplayınız.
20. D_4 diyotunun görevini ve çıkarılması durumunda devrenin çalışmasını nasıl etkileyeceğini açıklayınız.
21. Devrede $R_B = 4\text{ k}\Omega$, $R_1 = 1.6\text{ k}\Omega$, $R_2 = 1\text{ k}\Omega$ ve $R_C = 130\ \Omega$ olduğuna göre, iki giriş de lojik-0 iken I_{GL} ve I_{OH} değerlerini hesaplayınız (V_{OH} için en küçük mümkün değeri kullanınız).
22. Aynı kare dalga işaretini devrenin her iki girişine de uygulayarak çıkış işaretini çiziniz.
23. Giriş işaretlerinden birinin kare dalga, diğerinin lojik-0 olması durumunda çıkış işaretini çiziniz.
24. Şekil 4'te V_{OH} değerinin lojik-1 seviyesini karşılayamadığı durumlarda devre çıkışına bir pull-up direnci bağlanır. Bu devre, giriş direnci R_o ve en küçük lojik-1 duyarlılığı V_{GH} olan diğer bir lojik kapıya sorunsuz bağlanabilmesi için R direnci ile R_o arasındaki ilişkiyi belirleyiniz.
25. Şekil 4'teki devreyi çıkışına $R = 2.2\text{ K}$ 'lık pull-up direnci bağlayarak kurunuz (Şekil 12) ve çalışmasını inceleyiniz.



Şekil 12. NAND kapısı kurulum devresi

26. Devrenin her iki girişine de aynı 0–5V düzeyli ve 100KHz frekanslı kare dalga işaretini uygulayarak çıkış işaretini osiloskopta gözlemleyiniz ve zaman ile genlik değerlerini ölçünüz.

10. Deney Soruları

1. Transistorlar hangi özelliklerinden dolayı lojik kapı gerçeklemelerinde kullanılırlar?
2. Lojik devrelerde transistorlar hangi konumlarında niçin çalıştırılırlar?
3. Şekil 4'te T_3 ve T_4 niçin farklı zaman aralıklarında ilettime geçerler?
4. Şekil 4'te V_{OH} değeri hangi durumlarda istenen lojik seviyeyi karşılayamayabilir?
5. Lojik kapılarda totem-pole çıkışın avantajları ve dezavantajları nelerdir?
6. Şekil 7'de R değerinin seçimi hangi kriterlere göre yapılır?
7. Şekil 8'deki devrede bus hattının paylaşımli kullanımını nasıl gerçekleştirir?
8. Şekil 8'deki lojik devre çıkışının niçin $\overline{AB} \cdot \overline{CD}$ olduğunu gösteriniz.

11. Deney Raporu

1. Lojik kapı türlerini ve uygulama alanlarını kısaca anlatınız.
2. Deney esnasındaki uygulamalarınızı anlatınız ve sonuçlarını yorumlayınız.
3. Şekil 10'daki kapıların çalışmalarını kısaca anlatınız.
4. TTL ve MOS kapıları karşılaştırmamız.
5. Deney sorularını cevaplandırınız.